

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-031812

(43)Date of publication of application : 28.01.2000

(51)Int.Cl.

H03K 19/0175

G05F 1/56

(21)Application number : 11-155683

(71)Applicant : TEXAS INSTR INC <TI>

(22)Date of filing : 02.06.1999

(72)Inventor : TIMOTHY A TENEIKU

(30)Priority

Priority number : 98 87873

Priority date : 03.06.1998

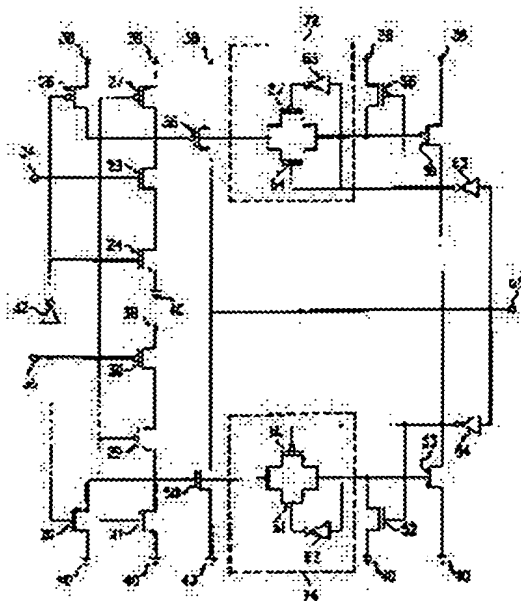
Priority country : US

(54) DYNAMIC OUTPUT CONTROL CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain short propagation delay where overshoot and undershoot are minimum or do not exist at all by providing transmission gates controlled by the feedback of an output node between transistor control nodes of 1st and 2nd low potential sides.

SOLUTION: 1st and 2nd transmission gates 72 and 74 are connected between the gates (control nodes) of 1st and 2nd high potential side transistors 56 and 59 and also between the gates of 1st and 2nd low potential side transistors 50 and 53. In transition from high potential to low potential, the gate 72 is closed before the transition starts and it becomes low power impedance at an output node 68. When the transition of an output exceeds prescribed voltage, the gate 72 is opened and the output impedance increases. Further, when the output of an inverter 65 becomes low, a transistor 58 is turned on and a transistor 59 is turned off.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

BEST AVAILABLE COPY

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-31812

(P2000-31812A)

(43) 公開日 平成12年1月28日 (2000.1.28)

(51) Int.Cl. ⁷	識別記号	F I	テマコード (参考)
H 0 3 K 19/0175		H 0 3 K 19/00	1 0 1 F
G 0 5 F 1/56	3 1 0	G 0 5 F 1/56	3 1 0 V

審査請求 未請求 請求項の数 1 O L (全 4 頁)

(21) 出願番号 特願平11-155683

(22) 出願日 平成11年6月2日 (1999.6.2)

(31) 優先権主張番号 0 8 7 8 7 3

(32) 優先日 平成10年6月3日 (1998.6.3)

(33) 優先権主張国 米国 (US)

(71) 出願人 590000879

テキサス インスツルメンツ インコーポ
レイテッドアメリカ合衆国テキサス州ダラス, ノース
セントラルエクスプレスウェイ 13500

(72) 発明者 ティモシイ エイ. テンエイク

アメリカ合衆国 テキサス, デニソン, ビ
レッジ グリーン コート 9

(74) 代理人 100066692

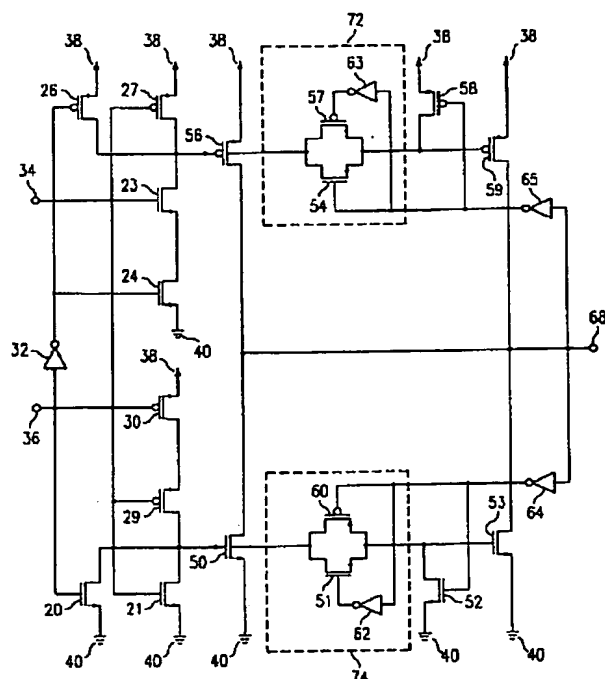
弁理士 浅村 皓 (外3名)

(54) 【発明の名称】 ダイナミック出力制御回路

(57) 【要約】

【課題】 オーバーシュート及びアンダーシュート、並びに伝搬遅延を低減する。

【解決手段】 出力制御回路であって、出力ノード68に接続される第1の高電位側トランジスタ56と、第1の高電位側トランジスタ56に並列に接続される第2の高電位側トランジスタ59と、第1の高電位側トランジスタ56の制御ノード68と第2の高電位側トランジスタ59の制御ノードとの間に接続され、出力ノードのフィードバックによって制御される第1のトランスミッション・ゲート72と、出力ノード68に接続される第1の低電位側トランジスタ50と、第1の低電位側トランジスタ50に並列に接続される第2の低電位側トランジスタ53と、第1の低電位側トランジスタ50の制御ノードと第2の低電位側トランジスタ53の制御ノードとの間に接続され、出力ノード68のフィードバックによって制御される第2のトランスミッション・ゲート74とを含む出力制御回路。



【特許請求の範囲】

【請求項1】 出力制御回路であって、
出力ノードに接続される第1の高電位側トランジスタと、
第1の高電位側トランジスタに並列に接続される第2の高電位側トランジスタと、
第1の高電位側トランジスタの制御ノードと第2の高電位側トランジスタの制御ノードとの間に接続され、出力ノードのフィードバックによって制御される第1のトランスミッション・ゲートと、
出力ノードに接続される第1の低電位側トランジスタと、
第1の低電位側トランジスタに並列に接続される第2の低電位側トランジスタと、
第1の低電位側トランジスタの制御ノードと第2の低電位側トランジスタの制御ノードとの間に接続され、出力ノードのフィードバックによって制御される第2のトランスミッション・ゲートと、
を含む出力制御回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は一般的に電子システムに関連し、特に出力制御回路に関連する。

【0002】

【従来の技術及びその課題】 2つの先行技術のバス・ドライバ回路が一般的に提供される。第1の回路は、伝搬遅延は短い、アンダーシュート及びオーバーシュートが著しくなり得る典型的なバス・ドライバ回路である。第2の回路は、出力に直列にダンピング・レジスタが加わることを除くと第1の回路と同じである。この直列抵抗は、オーバーシュートとアンダーシュートの問題を緩和するが、伝搬遅延を増加させる。

【0003】

【課題を達成するための手段及び作用】 出力制御回路は、出力ノードに接続される第1の高電位側トランジスタと、第1の高電位側トランジスタに並列に接続される第2の高電位側トランジスタと、第1の高電位側トランジスタの制御ノードと第2の高電位側トランジスタの制御ノードとの間に接続され、出力ノードのフィードバックによって制御される第1のトランスミッション・ゲートと、出力ノードに接続される第1の低電位側トランジスタと、第1の低電位側トランジスタに並列に接続される第2の低電位側トランジスタと、第1の低電位側トランジスタの制御ノードと第2の低電位側トランジスタの制御ノードとの間に接続され、出力ノードのフィードバックによって制御される第2のトランスミッション・ゲートとを含む。

【0004】

【実施例】 図面を参照して本発明の一実施例を説明する。図1は、典型的な先行技術のバス・ドライバ出力回

路を示す。図1の回路は、NMOSトランジスタ20-24、PMOSトランジスタ26-30、インバータ32、入力ノード34、トリノード (tri node) 36、電圧供給ノード38、接地40、及び出力ノード42を含む。トランジスタ28及び22は、ノード42の出力インピーダンスに影響を及ぼす。トランジスタ28及び22の寸法が小さくなると、出力インピーダンスは増加する。出力インピーダンスの増加は、オーバーシュート及びアンダーシュートを低減させるが、その代償として伝搬遅延が増加する。出力インピーダンスが減少すると伝搬遅延は低減するが、オーバーシュート及びアンダーシュートは増加する。出力遷移の初めの部分の出力インピーダンスが低く、出力遷移の後の部分の出力インピーダンスが高い回路が望ましい。これにより、オーバーシュート及びアンダーシュートが最小であるか又は全くない短い伝搬遅延が提供され得る。図2は、好ましい実施例のダイナミック出力制御回路を示す。図2の回路は、NMOSトランジスタ20、21、23、24、及び50-54、PMOSトランジスタ26、27、29、30、及び56-60、インバータ32及び62-65、入力ノード34、トリノード36、電圧供給ノード38、接地40、及び出力ノード68を含む。図1の高電位側トランジスタ28は、図2では高電位側トランジスタ56及び59に分けられている。これらの幅の合計は図1のトランジスタ28の幅に等しい。同様に、図1の低電位側トランジスタ22は、低電位側トランジスタ50及び53に分けられている。トランスミッション・ゲート72及び74 (スイッチとして機能する) は、高電位側トランジスタ56と59の間、及び、低電位側トランジスタ50と53の間に配置されている。トランスミッション・ゲート72は、トランジスタ56及び59のゲート (制御ノード) の間に接続される。トランスミッション・ゲート74は、トランジスタ50及び53のゲート (制御ノード) の間に接続される。ノード68の出力の低電位から高電位への遷移では、遷移が始まる前にトランスミッション・ゲート72は閉じる。このため、トランジスタ56及び59のゲートはトランスミッション・ゲート72を通して互いに連結され、出力ノード68で低出力インピーダンスを提供する。出力の遷移が特定の電圧 (例えば、1.5ボルト) を越えると、インバータ65の出力は低になり、トランスミッション・ゲート72が開く。トランスミッション・ゲート72が開くと、出力インピーダンスは増加する。更に、インバータ65の出力が低になると、トランジスタ58はオンになり、これによりトランジスタ59はオフになる。高電位から低電位の遷移のオペレーションでは、トランスミッション・ゲート74は、トランスミッション・ゲート72が低電位から高電位への遷移で実行したのと同じように実行する。更に、高電位から低電位の遷移では、トランジスタ58が低電位から高電位への遷移でトランジスタ

タ 59 をオフにしたのと同様に、トランジスタ 52 はトランジスタ 53 をオフにする。本発明を詳細に説明したが、添付の特許請求の範囲で定義する本発明の範囲から逸脱することなく、種々の変更、代替、及び変形が成され得ることを理解されたい。したがって、添付の特許請求の範囲はあらゆるこれらの変形及び実施例を包含することを意図する。

【0005】以上の説明に関して更に次の項を開示する。

(1) 出力制御回路であって、出力ノードに接続される第 1 の高電位側トランジスタと、第 1 の高電位側トランジスタに並列に接続される第 2 の高電位側トランジスタと、第 1 の高電位側トランジスタの制御ノードと第 2 の高電位側トランジスタの制御ノードとの間に接続され、出力ノードのフィードバックによって制御される第 1 のトランスマッション・ゲートと、出力ノードに接続される第 1 の低電位側トランジスタと、第 1 の低電位側トランジスタに並列に接続される第 2 の低電位側トランジスタと、第 1 の低電位側トランジスタの制御ノードと第 2 の低電位側トランジスタの制御ノードとの間に接続され、出力ノードのフィードバックによって制御される第 2 のトランスマッション・ゲートと、を含む出力制御回路。

(2) 第 1 項に記載のデバイスであって、第 2 の高電位側トランジスタの制御ノードと供給ノードとの間に接続され、出力ノードのフィードバックによって制御されるトランジスタを更に含むデバイス。

(3) 第 1 項に記載のデバイスであって、第 2 の低電位側トランジスタの制御ノードと接地ノードとの間に接続され、出力ノードのフィードバックによって制御されるトランジスタを更に含むデバイス。

(4) 第 1 項に記載のデバイスであって、第 1 のトランスマッション・ゲートは、PMOS トランジスタに並列に接続される NMOS トランジスタを含むデバイス。

【0006】(5) 第 4 項に記載のデバイスであって、NMOS トランジスタのゲートと PMOS トランジスタのゲートとの間に接続される第 1 のインバータを更に含むデバイス。

(6) 第 5 項に記載のデバイスであって、出力ノードと NMOS トランジスタのゲートとの間に接続される第

2 のインバータを更に含むデバイス。

(7) 第 1 項に記載のデバイスであって、第 2 のトランスマッション・ゲートは、PMOS トランジスタに並列に接続される NMOS トランジスタを含むデバイス。

(8) 第 7 項に記載のデバイスであって、PMOS トランジスタのゲートと NMOS トランジスタのゲートとの間に接続される第 1 のインバータを更に含むデバイス。

(9) 第 8 項に記載のデバイスであって、出力ノードと PMOS トランジスタのゲートとの間に接続される第 2 のインバータを更に含むデバイス。

【0007】(10) 出力制御回路であって、出力ノード 68 に接続される第 1 の高電位側トランジスタ 56 と、第 1 の高電位側トランジスタ 56 に並列に接続される第 2 の高電位側トランジスタ 59 と、第 1 の高電位側トランジスタ 56 の制御ノード 68 と第 2 の高電位側トランジスタ 59 の制御ノードとの間に接続され、出力ノードのフィードバックによって制御される第 1 のトランスマッション・ゲート 72 と、出力ノード 68 に接続される第 1 の低電位側トランジスタ 50 と、第 1 の低電位側トランジスタ 50 に並列に接続される第 2 の低電位側トランジスタ 53 と、第 1 の低電位側トランジスタ 50 の制御ノードと第 2 の低電位側トランジスタ 53 の制御ノードとの間に接続され、出力ノード 68 のフィードバックによって制御される第 2 のトランスマッション・ゲート 74 とを含む出力制御回路。

【図面の簡単な説明】

【図 1】先行技術の出力制御回路の略回路図。

【図 2】好ましい実施例のダイナミック出力制御回路の略回路図。

【符号の説明】

50 第 1 の低電位側トランジスタ

53 第 2 の低電位側トランジスタ

56 第 1 の高電位側トランジスタ

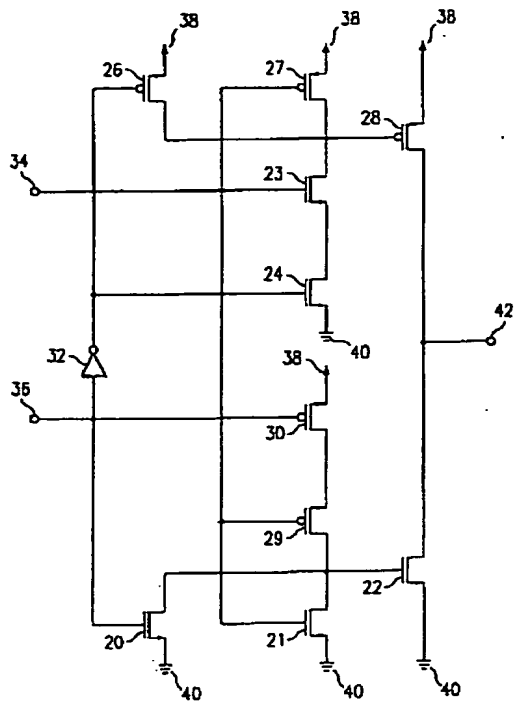
59 第 2 の高電位側トランジスタ

68 出力ノード

72 第 1 のトランスマッション・ゲート

74 第 2 のトランスマッション・ゲート

【図1】



【図2】

